|  |  |
| --- | --- |
| Sprawozdanie  z układów  logicznych | Rok 2021 |
| Jakub Samulski (260407) | Ćwiczenie nr 1 |
| Kacper Suchanek (260468) | Temat: Ćwiczenie wprowadzające w tematykę laboratorium |
| Grupa laboratoryjna nr Z01-45u  Prowadzący: mgr inż. Karol Stasiński | Piątek |
|  | 17.05-18.35 |

Spis Treści

[Zagadnienia do opracowania 3](#_Toc68014337)

[rola sygnału taktującego (zegara) w układach synchronicznych 3](#_Toc68014338)

[co robi sygnał CLEAR 3](#_Toc68014339)

[do czego służy sygnał RESET 3](#_Toc68014340)

[Jaka jest podstawowa różnica między wejściami RIN. LIN oraz ABCD 3](#_Toc68014341)

[Specyfikacja układu 74194 4](#_Toc68014342)

[Opis 4](#_Toc68014343)

[Sieć logiczna rejestru 74194 4](#_Toc68014344)

[Oznaczenie graficzne rejestru 74194 4](#_Toc68014345)

[Schemat Obudowy 5](#_Toc68014346)

[Tabela stanów 7](#_Toc68014347)

[Analiza układów 8](#_Toc68014348)

[Układ A 8](#_Toc68014349)

[Układ B 10](#_Toc68014350)

[Układ C 12](#_Toc68014351)

[Specyfikacja układów użytych przy podłączaniu 14](#_Toc68014352)

[Bibliografia: 16](#_Toc68014353)

# Zagadnienia do opracowania

### rola sygnału taktującego (zegara) w układach synchronicznych

W układach synchronicznych występuje pewien (co najmniej jeden) wyróżniony sygnał – zwany przebiegiem zegarowym, taktującym lub synchronizującym. Przebieg ten wyznacza cykl pracy układu, a jego okres stanowi umowną jednostkę czasu. Sygnał zegarowy określa chwile, w których stany wejść oddziałują na układ.

### co robi sygnał CLEAR

CLR (clear) – asynchroniczne wejście zerowania – pozwala na ustawienie wszystkich wartości układu do 0. (stan niski wymusza stany 0 na wszystkich wyjściach Q)

### do czego służy sygnał RESET

Do zmiany trybu pracy układu

### Jaka jest podstawowa różnica między wejściami RIN. LIN oraz ABCD

RIN i LIN to wejścia danych szeregowych a ABCD to wejścia danych równoległych

# Specyfikacja układu 74194

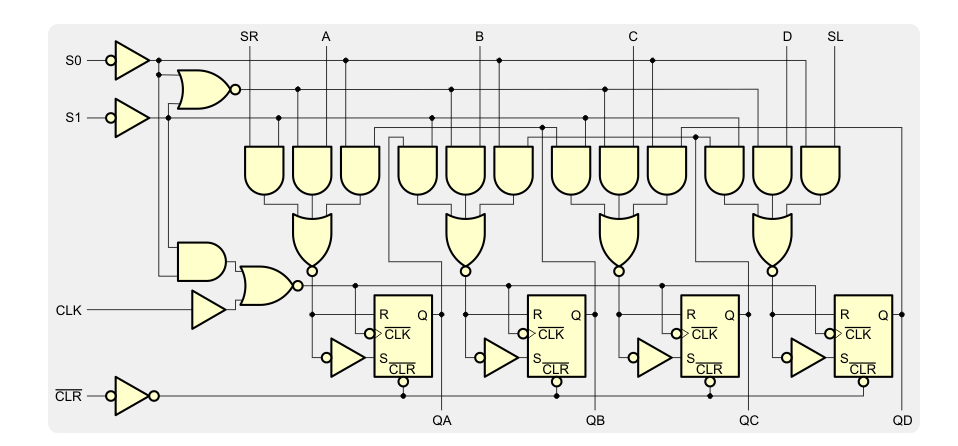
## Opis

Układ 74194 jest czterobitowym dwukierunkowym rejestrem przesuwającym, który spełnia wszystkie funkcje wymagane przez projektantów urządzeń lub systemów. Pozwala na łatwiejszą implementację rejestrów przesuwnych. Dzięki wejściom A, B, C i D możliwe jest wprowadzanie danych równolegle, a wejścia S0 i S1 są wejściami sterującymi. Rejestr ma równoległe wejścia i równoległe wyjścia, wejścia szeregowe dla przesuwania w prawo i w lewo, wejścia rodzaju pracy oraz wejście zerowania, które jest asynchroniczne i niezależne od innych wejść. Nie możliwe jest jednoczesne wprowadzanie danych i przesuwanie bitów rejestru, a wszystkie akcje odbywają się, wraz z pojawieniem się stanu wysokiego na zegarze CLK. Wejście CLR jest wejściem asynchronicznym i resetuje informacje, gdy zostanie na nie podane logiczne „0” niezależnie od stanu zegara.

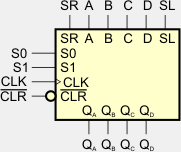
## Zastosowania

Uniwersalny czterobitowy rejestr przesuwający 74194 jest często stosowany w układach przechowywania i przetwarzania informacji. Cechą charakterystyczną tego rejestru jest synchroniczne wprowadzanie informacji z wejść równoległych. Jednym z popularnych zastosowań układu 74194 są rejestry buforowe szeregowe lub równolegle.

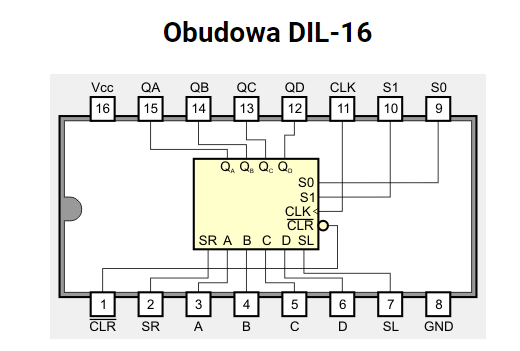
## Sieć logiczna rejestru 74194



## Oznaczenie graficzne rejestru 74194



## Schemat Obudowy



Znaczenie odpowiednich wejść/wyjść układu jest następujące:

* **S0 i S1** – wejścia określające tryb pracy układu
* **CLR** (clear) – asynchroniczne wejście zerowania – pozwala na ustawienie wszystkich wartości układu do 0. (stan niski wymusza stany 0 na wszystkich wyjściach Q)
* **CLK** – wejście zegarowe - każdy takt zegara pozwala przeprowadzać kolejne kroki obliczeń. (zmiany dokonywane są synchronicznie z narastającym zboczem impulsu zegarowego)
* **SR** (RIN) – wejście danych szeregowych przy przesuwie w prawo
* **SL** (LIN) – wejście danych szeregowych przy przesuwie w lewo
* **A, B, C, D** – wejścia danych równoległych, pozwalają zadać wartości na odpowiadające im wyjścia QA, QB, QC, QD przy wprowadzaniu równoległym.
* **QA, QB, QC**, **QD** – wyjścia danych równoległych

Stany wejść S0 i S1 dają możliwość wyboru trybu pracy układu. Cztery takie tryby przedstawiają się następująco:

* S0 : S1 = 0 : 0 Blokada zegara

Blokada wejścia zegarowego następuje, gdy na obu wejściach rodzaju pracy (S0 i S1) jest przyłożony stan niski. Zmiany stanu na wejściach powinny być dokonywane, kiedy na wejściu zegarowym jest stan wysoki.

* S0 : S1 = 1 : 0 Przesuw w prawo w kierunku od QA do QD

Dane są wprowadzane z prawego wejścia SR (RIN) i przesuwane w prawo wzdłuż rejestru synchronicznie z narastaniem zbocza impulsu zegarowego. Wartość z SR jest kopiowana do QA, z QA do QB itd. W czasie przesuwania w prawo wejścia równoległe danych są zablokowane.

* S0 : S1 = 0 : 1 Przesuw w lewo w kierunku od QD do QA

Dane są wprowadzane z lewego wejścia SL (LIN) i przesuwane w lewo wzdłuż rejestru synchronicznie z narastaniem zbocza impulsu zegarowego. Wartość z SL jest kopiowana do QD, z QD do QC itd. W czasie przesuwania w prawo wejścia równoległe danych są również zablokowane.

* S0 : S1 = 1 : 1 Wprowadzanie równoległe

Wprowadzone 4 bity danych do wejść danych równoległych po przetworzeniu są ładowane do odpowiednich wyjść danych równoległych. W czasie wprowadzania równoległego wejścia szeregowe (SR, SL) są zablokowane.

# Tabela stanów

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **Tabela funkcyjna** | | | | | | | | | | | | | | **Funkcja** |
| CLR | **Tryb** | | CLK | **Szeregowe** | | **Równoległe** | | | | **Wyjścia** | | | |
| S0 | S1 | LIN | RIN | A | B | C | D | QA | QB | QC | QD |
| L | X | X | X | X | X | X | X | X | X | L | L | L | L | Zerowanie Asynchroniczne |
| H | X | X | L | X | X | X | X | X | X | QA0 | QB0 | QC0 | QD0 |  |
| H | H | H | ↑ | X | X | a | b | c | d | a | b | c | d | Wprowadzanie równoległe |
| H | L | H | ↑ | X | H | X | X | X | X | H | QAn | QBn | QCn | Przesuwanie w prawo |
| H | L | H | ↑ | X | L | X | X | X | X | L | QAn | QBn | QCn |
| H | H | L | ↑ | H | X | X | X | X | X | QBn | QCn | QDn | H | Przesuwanie w lewo |
| H | H | L | ↑ | L | X | X | X | X | X | QBn | QCn | QDn | L |
| H | L | L | X | X | X | X | X | X | X | QA0 | QB0 | QC0 | QD0 | Blokada |

Legenda:

H – stan wysoki, L – stan niski

X – stan dowolny to znaczy taki, który niezależnie od ustawienia nie wpływa na pracę układu

QA0, QB0, QC0, QD0 – wartości odpowiednio QA, QB, QC, QD przed modyfikacją (takie jak na wejściu)

QAn, QBn, QCn, QDn – wartości odpowiednio QA, QB, QC, QD na wyjściu przerzutników, przed ostatnią zmianą na wejściu zegarowym ze stanu niskiego na wysoki

a, b, c, d – wartości ustalone na wejściach A,B, C, D

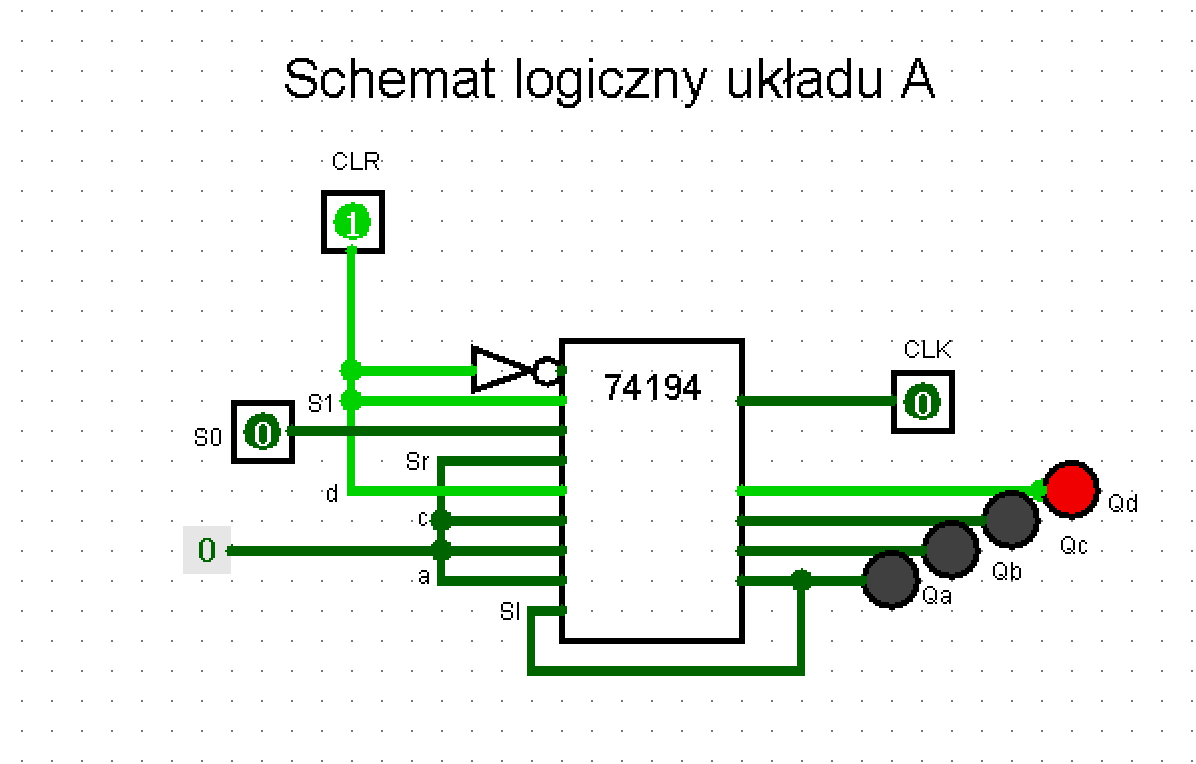
↑ - narastające zbocze sygnału zegarowego

# Analiza układów

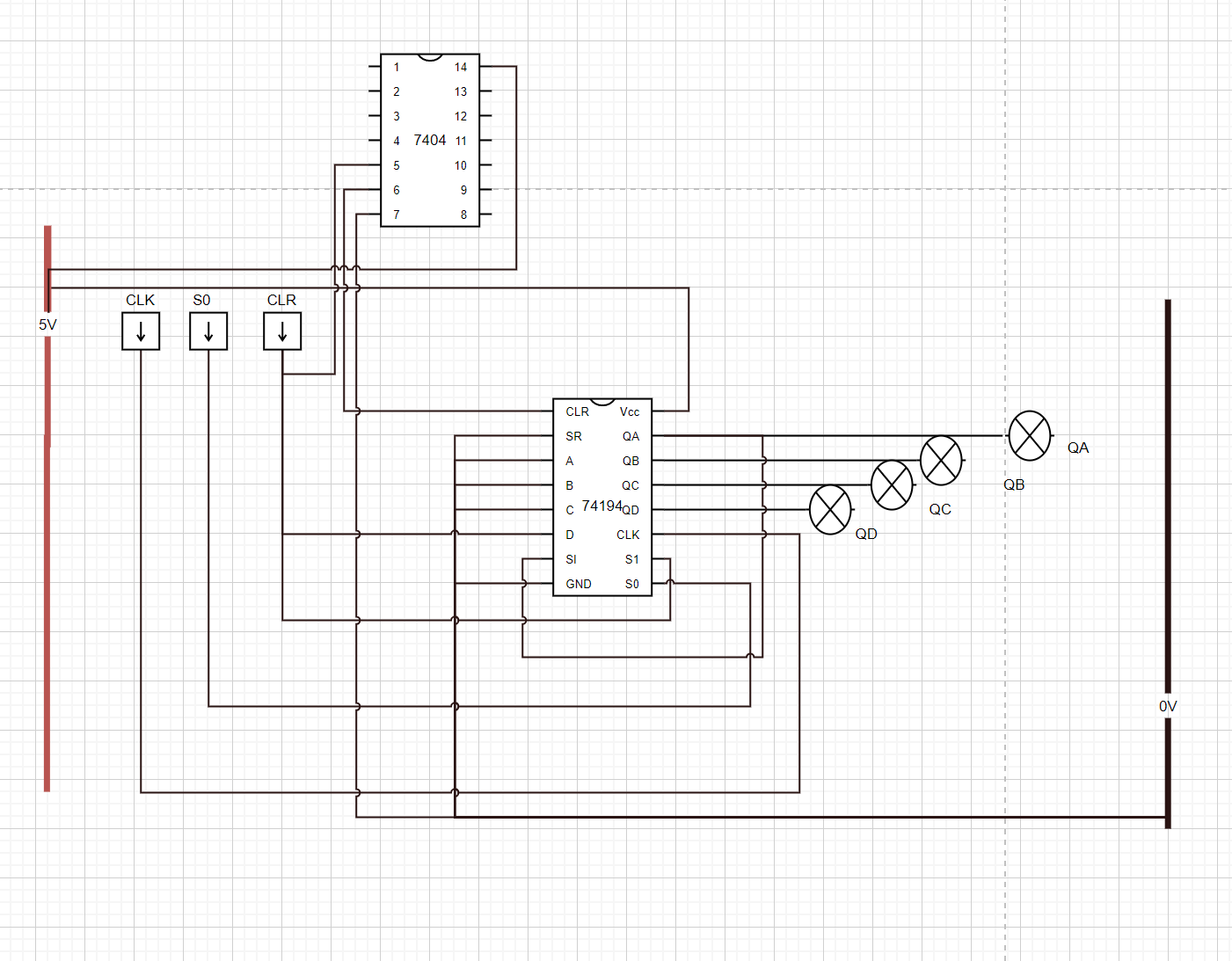
## Układ A

* CLR (MR) = 1 stale
* Sygnał RESET ma wartość logiczną równą 1 (H) – wpis równoległy ( S0 : S1 = H : H)
* Wartości wyjść QA, QB, QC = 0, QD = 1 (odpowiednio do wejść a, b, c = L, d = H)
* Wejście SL (DSL) przyjmuje wartość z wyjścia QA
* Sygnał RESET ma wartość logiczną równą 0 (L) – przesuw w lewo ( S0 : S1 = L: H)

### Schemat Logiczny Układu A



## Schemat podłączenia układu A



### Tablica stanów układu A

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| CLR | S0 | Takt | CLK | QA | QB | QC | QD |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 2 | 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 2 | 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 3 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 3 | 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 4 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 4 | 1 | 1 | 0 | 0 | 0 |
| 1 | 0 | 5 | 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 5 | 1 | 0 | 0 | 0 | 1 |

W powyższej tabeli „1” oznacza stan wysoki (HIGH) a „0” oznacza stan niski (LOW)

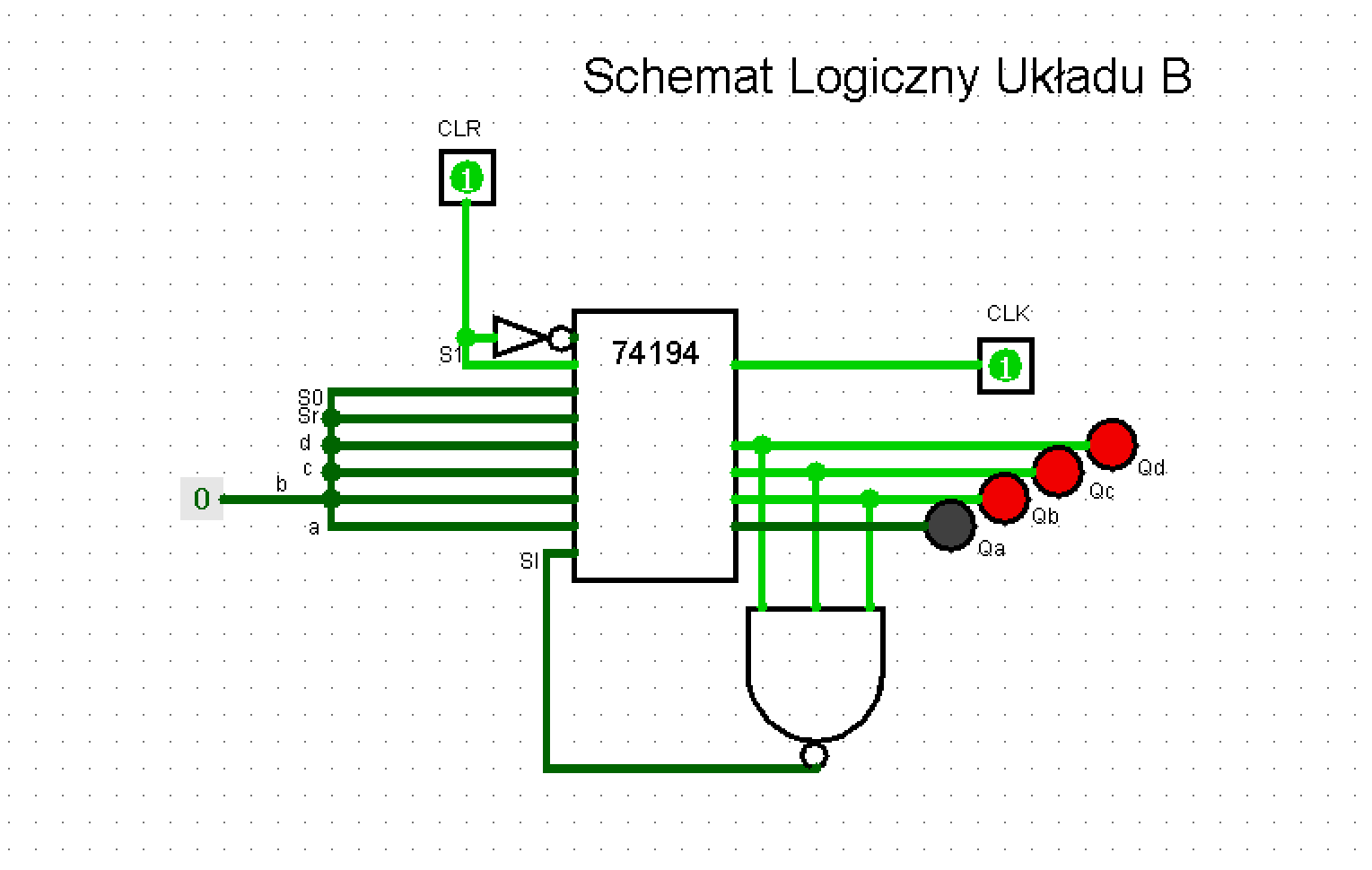
### Wnioski

W tabeli widzimy, że wartości wyjść QA, QB, QC QD przyjmują wartość HIGH w sposób cykliczny, co 4 takty zegara (1-4), ponadto możemy stwierdzić, że cykl układu jest stały i powtarza się co 4 takty po dłuższej obserwacji zachowania układu

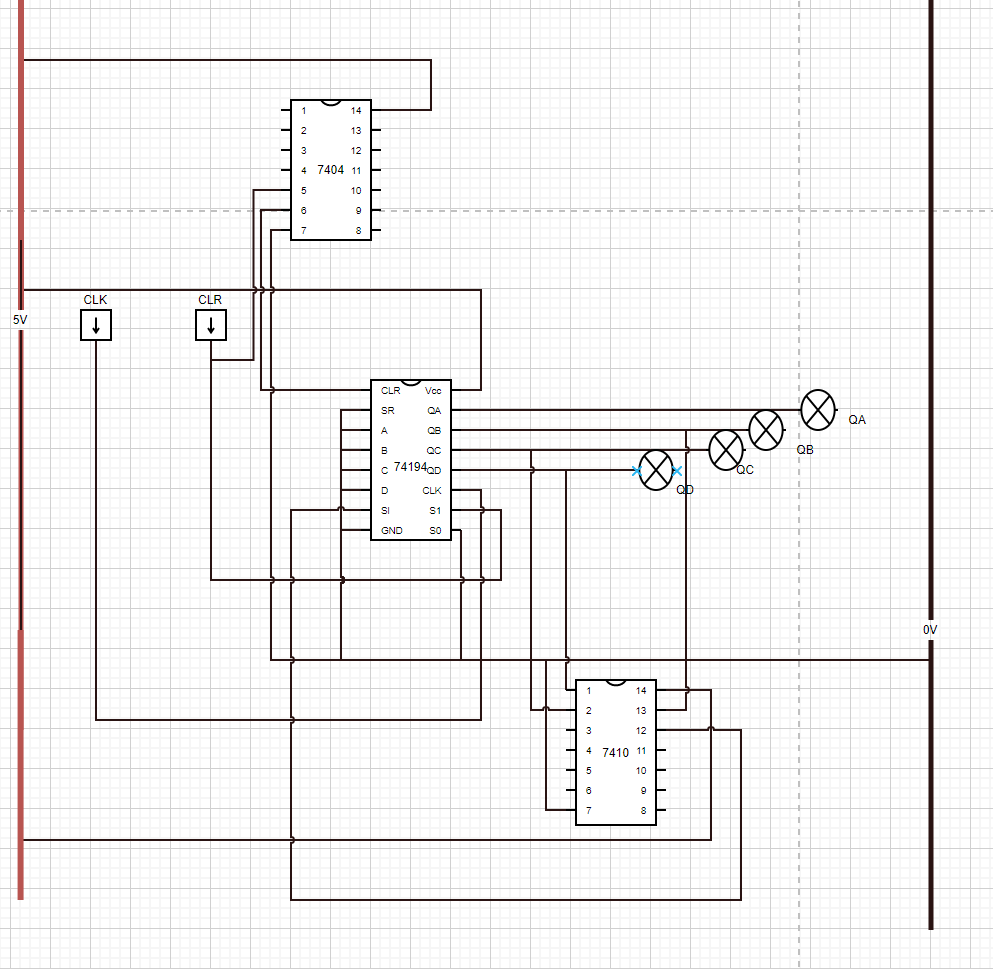
## Układ B

* CLR (MR) = 1 stale
* Wejście S0 jest uziemione ( S0 = L stale), a wejście S1 będzie miało stałą wartość H – w tym układzie możliwa jest więc tylko funkcja przesuwu w lewo
* Wejście SL (DSL) = ¬(QB · QC · QD)

## Schemat Logiczny



## Schemat Podłączenia



## Tabela Stanów

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| CLR | S1 | Takt | CLK | QA | QB | QC | QD |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 2 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 2 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 3 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 3 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 4 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 4 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 5 | 0 | 1 | 1 | 0 | 1 |
| 1 | 1 | 5 | 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 6 | 0 | 1 | 0 | 1 | 1 |
| 1 | 1 | 6 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 7 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 7 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 8 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 8 | 1 | 1 | 1 | 1 | 0 |

W powyższej tabeli „1” oznacza stan wysoki (HIGH) a „0” oznacza stan niski (LOW)

### Wnioski

W tabeli widzimy, że wartości wyjść QA, QB, QC QD przyjmują wartość HIGH w sposób cykliczny, co 4 takty zegara (4-7), więc możemy stwierdzić, że cykl układu jest stały i powtarza się co 4 takty na podstawie dłuższej obserwacji wyjść układu, jednak cykl ten występuje dopiero po 4 takcie zegara

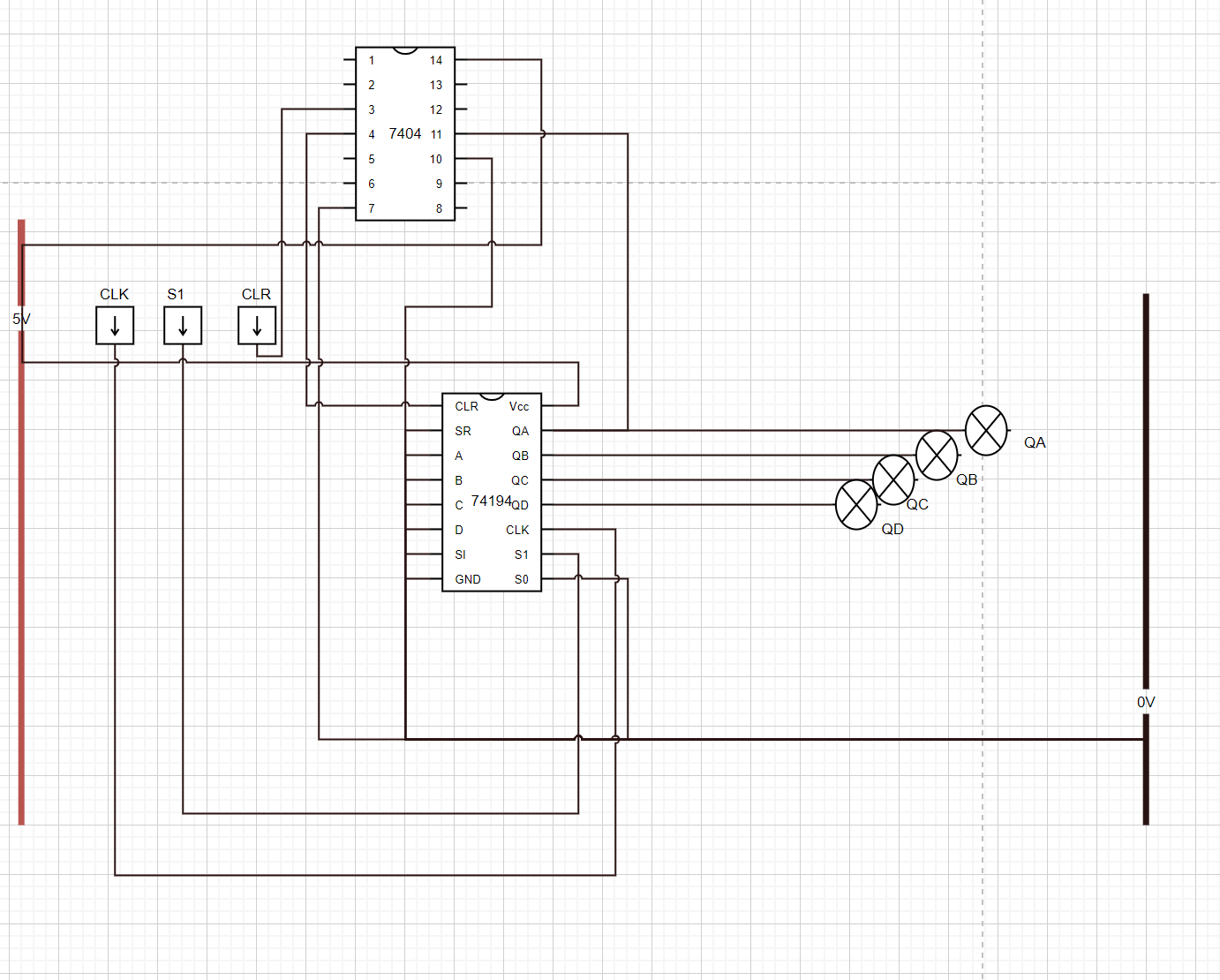
## Układ C

* Do wejścia CLR (MR) podłączony jest RESET. Gdy wartość na CLR = 0, to zerowane są wszystkie wyjścia Q. Wejście SL (DSL) przyjmuje wtedy wartość 1 w wyniku działania bramki logicznej NOT.
* Wejście SL (DSL) = ¬ QA
* S0 jest uziemione, a S1 ma stałą wartość 0 (S0 : S1 = L : H) – w układzie realizowana funkcja przesuwania w lewo

## Schemat Logiczny układu C

## 

## Schemat Podłączenia układu C



## Tabela Stanów

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| CLR | S1 | Takt | CLK | QA | QB | QC | QD |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 | 0 | 0 | 1 |
| 1 | 1 | 2 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 2 | 1 | 0 | 0 | 1 | 1 |
| 1 | 1 | 3 | 0 | 0 | 1 | 1 | 1 |
| 1 | 1 | 3 | 1 | 0 | 1 | 1 | 1 |
| 1 | 1 | 4 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 4 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 5 | 0 | 1 | 1 | 1 | 0 |
| 1 | 1 | 5 | 1 | 1 | 1 | 1 | 0 |
| 1 | 1 | 6 | 0 | 1 | 1 | 0 | 0 |
| 1 | 1 | 6 | 1 | 1 | 1 | 0 | 0 |
| 1 | 1 | 7 | 0 | 1 | 0 | 0 | 0 |
| 1 | 1 | 7 | 1 | 1 | 0 | 0 | 0 |
| 1 | 1 | 8 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 8 | 1 | 0 | 0 | 0 | 0 |
| 1 | 1 | 9 | 0 | 0 | 0 | 0 | 1 |
| 1 | 1 | 9 | 1 | 0 | 0 | 0 | 1 |

# 

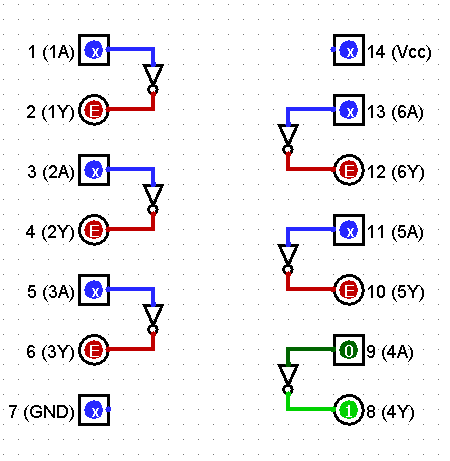
W powyższej tabeli „1” oznacza stan wysoki (HIGH) a „0” oznacza stan niski (LOW)

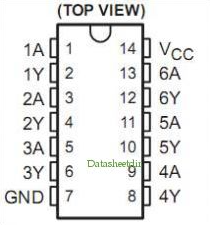
### Wnioski

W tabeli widzimy, że wartości wyjść QA, QB, QC QD przyjmują wartość HIGH w sposób cykliczny, co 8 taktów zegara (1-7), ponadto możemy stwierdzić, że cykl układu jest stały i powtarza się co 8 taktów na podstawie dalszej obserwacji wyjść

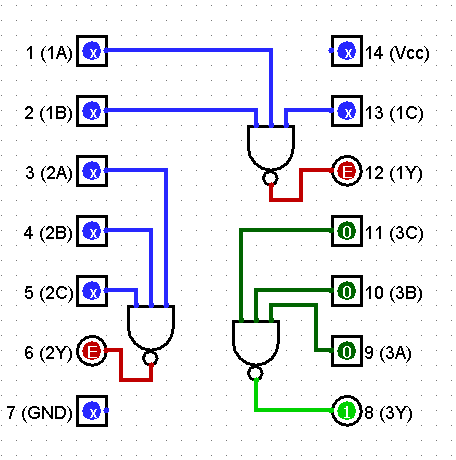
# Specyfikacja układów użytych przy podłączaniu

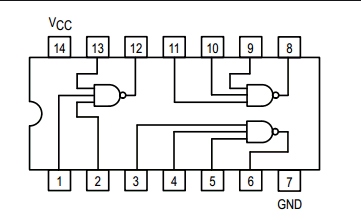
7404





7410





# Bibliografia:

<https://eduinf.waw.pl/inf/prg/010_uc/74194.php>

<http://www.datasheetq.com/7410-doc-Motorola>

<http://www.datasheetdir.com/7407+Buffers-Drivers>